

⑨ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭62-249422

⑤ Int.Cl.⁴
H 01 L 21/302

識別記号

庁内整理番号

⑬ 公開 昭和62年(1987)10月30日

M-8223-5F

審査請求 未請求 発明の数 1 (全7頁)

⑭ 発明の名称 半導体集積回路装置の製造方法

⑮ 特 願 昭61-92190

⑯ 出 願 昭61(1986)4月23日

⑰ 発 明 者 河 村 光 一 郎 小平市上水本町1479番地 日立マイクロコンピュータエンジニアリング株式会社内

⑱ 発 明 者 広 部 嘉 道 小平市上水本町1450番地 株式会社日立製作所武蔵工場内

⑲ 発 明 者 野 尻 一 男 小平市上水本町1450番地 株式会社日立製作所武蔵工場内

⑳ 出 願 人 日立マイクロコンピュータエンジニアリング株式会社
小平市上水本町1479番地

㉑ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

㉒ 代 理 人 弁理士 小川 勝男 外1名

明 細 書

1. 発明の名称

半導体集積回路装置の製造方法

2. 特許請求の範囲

1. 基板上に溝又は孔を形成するエッチング時ある基板上の絶縁膜に接続孔を形成するエッチング時に、前記基板又は基板上の絶縁膜と異なる物質からなる壁面堆積膜を前記エッチングの進行とともに前記基板の溝又は孔あるいは基板上の接続孔の側壁に被着して堆積させ、さらに前記壁面堆積膜の堆積速度とエッチング速度を制御して、前記溝又は孔あるいは接続孔を順テーパー状に形成することを特徴とする半導体集積回路装置の製造方法。

2. 前記壁面堆積膜は、エッチング装置の電極材料又は電極材料のウエハから露出する部分を被覆している電極被覆材料から放出された物質からなることを特徴とする特許請求の範囲第1項記載の半導体集積回路装置の製造方法。

3. 前記壁面堆積膜の堆積速度と、溝又は孔ある

いは接続孔のエッチング速度の比は、0.04以上であり、エッチング装置の電極に印加するバイアス電圧は絶対値で35.0ボルト以上であることを特徴とする特許請求の範囲第1項記載の半導体集積回路装置の製造方法。

4. 前記壁面堆積膜は、アルミニウムと酸素からなるか又はアルミニウムからなることを特徴とする特許請求の範囲第1項記載の半導体集積回路装置の製造方法。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、エッチング技術に関するものであり、特に、基板上に溝又は孔を形成するエッチング技術あるいは基板上の絶縁膜に接続孔を形成するエッチング技術に関するものである。

〔従来の技術〕

ダイナミックRAM(DRAM)のメモリセルは、選択MISFETと容量素子からなるが、微細化のために半導体基板上に溝又は孔(以下、単に溝という)を形成し、この溝内に誘電体膜及び多

結晶シリコン膜からなる電極を設けて前記容量素子を構成することが研究されている。前記溝は、反応性イオンエッチング(RIE)によって形成される。このRIEに関する技術は、例えば日経マグロウヒル社、1983年8月22日発行、日経エレクトロニクス別冊「マイクロデバイセス」p100～p105に記載されている。

(発明が解決しようとする問題点)

本発明者は前記技術を検討した結果、次の問題点を見出した。

前記RIEによって溝を形成すると、垂直方向へのエッチングレートが大きいため溝の側壁が基板上面に対して垂直に形成される。あるいは、エッチングが垂直方向のみならず横方向へも進行するため、溝の断面形状がタル型すなわち溝上端の開口部より中間部の方が膨んだような形状に形成される。このため、溝内を電極となる多結晶シリコン膜で埋込んだ際に内部に空洞を生じるという問題点があった。

本発明の目的は、溝又は半導体基板上の接続孔、

孔をテーパ状に形成するものである。

(作用)

上記した手段によれば、溝又は接続孔内を導電膜あるいは絶縁膜によって空洞を生じることなく埋込むことができる。あるいは溝又は接続孔のテーパ角を制御することができる。

(実施例)

本実施例は、DRAMのメモリセルの容量素子を構成するために、基板に溝を形成する技術に本発明を適用した一例について説明する。

第1図乃至第11図は、本発明の一実施例を説明するための図であり、第1図はエッチング装置の概略図、第2図乃至第11図はDRAMの製造工程におけるメモリセルの断面図である。

第1図において、反応容器1内に配置されたカソード電極2は、その上に載置されているp型単結晶シリコンからなる基板すなわちウエハ3から露出している上面が、例えばアルミニウム膜又はアルミナ(Al_2O_3)等からなる電極被覆材料4によって被覆されている。電極被覆材料4は、

をテーパ状(基板の主表面に対して垂直でなく鋭角を持って傾斜した形状)に形成して前記溝又は接続孔内を導電膜あるいは絶縁膜等で良好に埋込めるようにする技術を提供することにある。

本発明の他の目的は、溝又は接続孔を形成するためのエッチング時に前記溝又は接続孔のテーパ角(基板の主表面に対して斜面が交わる角度)を制御することが可能な技術を提供することにある。

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述及び添付図面によって明らかになるであろう。

(問題点を解決するための手段)

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、下記のとおりである。

すなわち、溝又は接続孔を形成するエッチング時に前記溝又は接続孔の側壁に壁面堆積膜を堆積させ、この壁面堆積膜の堆積速度と、半導体基板のエッチング速度あるいは接続孔が設けられる絶縁膜のエッチング速度を制御して前記溝又は接続

RIEの効率をあげるためのものである。

SはF、Cl、Br等を含む反応ガスであり、上部電極6の吸気口6Aから上部電極6内を通過して反応容器1内に送込まれ、排気口8から排気される。なお、第1図は、反応ガスSを便宜的に矢印によって示している。カソード電極2と上部電極6の間には、カソード電極2にRF(高周波)電源7から供給されたRF電力によりプラズマが形成される。9はカソード電極2とプラズマの間に形成されたイオンシースである。10はコンデンサである。

第2図に示すように、前記基板3には、酸化シリコン膜からなるフィード絶縁膜11及びp型チャネルストップ領域12が形成されている。また、フィード絶縁膜11から露出している表面には、例えばCVDによる酸化シリコン膜からなるエッチングマスク14の下地膜としての酸化シリコン膜13が形成してある。酸化シリコン膜からなるエッチングマスク14は、後に基板3に形成される溝16(第3図参照)の上の部分レジストが

らなるマスクを用いたエッチングによって選択的に除去されて開口15している。開口15のパターンは、溝16の上端部における開口パターンを規定するものである。

この開口15から露出している酸化シリコン膜13をまず除去した後、第3図(a)に示しているように、開口15から露出した半導体基板3の表面をエッチングして溝16を形成する。この溝16の形成は、カソード電極2とプラズマの間に形成されたプラズマシース9によって加速されて運動エネルギーを得たイオンが、前記開口15から露出している基板3の表面に入射してイオンアシストエッチングすることによってなされる。一方、前記プラズマ中のイオンは、電極被覆材料4にも入射してそれを逆スパッタすなわちエッチングする。このため、電極被覆材料4がアルミニウムからなる場合にはプラズマ中にアルミニウムが放出され、電極被覆材料4がアルミナからなる場合にはプラズマ中にアルミニウムと酸素が放出される。このプラズマ中に放出されたアルミニウム又はア

ルミニウムと酸素は、半導体基板3上に再デポジションする。このことは、本発明者が行った元素分析(AES)によって確かめられている。前記プラズマ中に放出されたアルミニウム又はアルミニウムと酸素は、溝16の側面に堆積されて壁面堆積膜17を形成する。第3図(a)～(d)に示しているように、壁面堆積膜17は半導体基板3のエッチングが進行するのに伴って成長するため、溝16の上端部ほど厚くなる。すなわち、溝16は深い部分ほど狭くなっていく。なお、第3図(a)～(d)は、溝16が段階的に狭くなっていくように図示しているが、これは便宜的に示したものであって実際には第4図に示しているように、連続的に狭くなっていく。

第4図は溝16を所定の深さまで掘り終えた時点での溝16の形状を示したものである。第4図に示したように、溝16の底部の径 ϕ_b は、溝16の両側面から成長してきた壁面堆積膜17によって最窄とも狭くなった部分の径 ϕ_n によって規定されている。

このように、本実施例の溝16形成技術によれば、溝16の深い部分ほど狭くなるように溝16の断面形状を順テーパ状に形成することができる。

ここで、第12図及び第13図を用いて、溝16のテーパ角 θ を制御する方法について説明する。

第12図は、壁面堆積膜17の堆積速度(D、R)と半導体基板3のエッチング速度(E、R)を変化させた場合におけるテーパ角 θ を説明するための溝16の断面図であり、第13図は壁面堆積膜17の堆積速度と半導体基板3のエッチング速度の比のセルフバイアス電圧 V_{dc} に対する依存性を示すグラフ(第13図(a))と、壁面堆積膜17の堆積速度と半導体基板3のエッチング速度との比に対するテーパ角 θ の依存性を示したグラフ(第13図(b))である。

本実施例における溝16のテーパ角 θ とは、半導体基板3の裏面に平行な線と溝16の側面、特に溝16の底の方の側面とでなす角である。

第12図(a)は壁面堆積膜17の堆積速度を小さくして溝16を形成した場合を示したもので

あり、テーパ角 θ が大きくなっている。同図(b)は壁面堆積膜17の堆積速度を大きくした場合を示したものであり、テーパ角 θ が小さくなっている。同図(c)は半導体基板3のエッチング速度を大きくした場合を示したものであり、テーパ角 θ が大きくなっている。同図(d)は半導体基板3のエッチング速度を小さくした場合を示したものであり、テーパ角 θ が小さくなっている。

溝16の底部の径を d 、エッチングマスク14の開口15の径を D 、壁面堆積膜17の膜厚を t とすると、 $d = D - 2t$ となる。すなわち、寸法 d は壁面堆積膜17の膜厚に依存する。

本発明者の実験によれば、第13図(b)に示したように、テーパ角 θ を90度以下すなわち順テーパとするためには、壁面堆積膜17の堆積速度と半導体基板3のエッチング速度との比すなわち壁面堆積膜17の堆積速度÷半導体基板3のエッチング速度が0.04以上であればよい。また、前記壁面堆積膜17の堆積速度と半導体基板3のエッチング速度の比が0.04以上となるために

は、プラズマシース9(第1図)のセルフバイアスVdcの絶対値が350V以上であればよい。これらの条件を設定して溝16を形成すると、溝16の上側約半分を垂直に、下側約半分を順テーパー状に形成することができる。なお、第4図に示したように、壁面堆積膜17はエッチングのイオン18に叩かれるため、最っとも突出た部分を境いにしてそれより上の部分はかえって薄くなる傾向がある。

溝16を掘り終った後、第5図に示したように、壁面堆積膜17を酸増液によって除去する。溝16の上端部の開口径は、エッチングマスク14の開口15によって規定されている。また開口15の大きさは、半導体基板3のエッチングを始める以前すなわちエッチングマスク14に開口15を形成したときの当初の大きさと変らない。これは、開口15部におけるエッチングマスク14がエッチングのイオンによって叩かれるのを壁面堆積膜17によって防止しているからである。したがって、マスク14と溝16の寸法変換がない。

ック)半導体基板3の上面の誘電体膜19を露出させる。すなわち、多結晶シリコン膜20が溝16の内部にのみ残るようにする。このように、溝16が順テーパー状に形成してあるため、溝16の内部に空間を生じることがない。あるいは、エッチバック時に、再び溝16の上端部が開口することがない。

次に、第10図に示したように、例えばCVDによって再度半導体基板3上に多結晶シリコン膜20を形成し、この多結晶シリコン膜20をレジストマスクを用いたエッチングによってパターンニングして導電プレート20を形成する。前記レジストマスクはエッチングの後に除去する。なお、導電プレート20は溝16内の多結晶シリコン膜20と半導体基板3上の多結晶シリコン膜20とからなっている。この後、導電プレート20から露出している誘電体膜19をエッチングによって除去する。次に、導電プレート20を酸化して酸化シリコン膜からなる絶縁膜21を形成する。この絶縁膜21形成時に、絶縁膜21及びフィール

エッチング終了後、エッチングマスク14及び酸化シリコン膜からなる下地膜13を除去する。

次に、第6図に示しているように、半導体基板3の露出している全表面を熱酸化することによって酸化シリコン膜からなる誘電体膜19を形成する。なお、誘電体19は、熱酸化による酸化シリコン膜の上に例えばCVDによって窒化シリコン膜を形成し、さらにこの窒化シリコン膜を酸化して酸化シリコン膜を形成して3層膜としてもよい。

次に、第7図に示したように、例えばCVDによって多結晶シリコン膜20を半導体基板3の全表面に形成する。溝16が順テーパー状に形成してあるので、多結晶シリコン膜20が溝16の上端部でオーバハングになることがなく、また多結晶シリコン膜20と溝16の壁面との間に隙間を生じることがない。前記多結晶シリコン膜20をさらに成長させて第8図に示しているように、溝16内を完全に埋込むようにする。この後、第9図に示したように、多結晶シリコン膜20をRIEによってその上面からエッチングして(エッチバ

ド絶縁膜11から露出している半導体基板3の表面に形成された酸化シリコン膜を除去した後に、再度半導体基板3の表面を酸化することによって酸化シリコン膜からなるゲート絶縁膜22を形成する。

この後、第11図に示すように、例えば多結晶シリコン膜の上にMo、W、Ta、Ti等の高融点金属膜又はそれらのシリサイド膜を積層したいわゆるポリサイド構造のゲート電極23及びワード線WL、酸化シリコン膜からなるサイドウォールスペーサ24、ソース、ドレイン領域を構成するn型半導体領域25とp型半導体領域26、例えばリンシリケートガラス(PSG)膜からなる絶縁膜27、接続孔28、アルミニウム膜からなるデータ線DLをそれぞれ形成して本実施例は終了する。

なお、接続孔28の形成時において、前記溝16の形成方法と同様に、接続孔28の壁面にアルミニウム又はアルミニウムと酸素からなる壁面堆積膜17を堆積させながらエッチングを進行させ

ることにより、接続孔28を順テーパー状に形成することができる。

以上、本実施例によれば以下の効果を得ることができる。

(1) 溝16の側面に壁面堆積膜17を形成し、この壁面堆積膜17の堆積速度と半導体基板3のエッチング速度の比を制御し、またセルフバイアス電位を制御して前記溝16を形成するようにしたことにより、溝16の深い部分ほど特に中間部より深い部分ほど溝16の径が小さくなるので、溝16を順テーパー状に形成することができる。

(2) 溝16の側面に壁面堆積膜17を堆積させながら半導体基板3のエッチングを進行させることにより、溝16上端部の開口部がエッチングのイオンによって叩れることがないので、溝16とエッチングマスク14との間に寸法変換なく前記溝16を形成することができる。

(3) 前記(1)により、溝16内が導電プレート20を構成するための多結晶シリコン膜によって良好に埋込まれるので、導電プレート20上の

平坦性の向上を図ることができる。

(4) 前記(3)により、導電プレート20上を延在するワード線Wと導電プレート20との絶縁性を向上することができる。

(5) 接続孔28を順テーパー状に形成することにより、データDLが接続孔28内で断線することはないので、半導体集積回路装置の信頼性を向上することができる。

以上、本発明を実施例にもとずき具体的に説明したが、本発明は前記実施例に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることはいうまでもない。

例えば、電極被覆材料4はアルミニウム及びアルミナに限定されず、シリコンカーバイド、炭素(カーボン)、炭化水素(プラスチック)等でもよい。少なくとも、RIEのエッチングガスによりスパッタリングされるものであればよい。

また、本発明は、半導体素子間に溝16を形成し、この溝16の内壁を酸化して酸化シリコン膜を形成した後、溝16内に多結晶シリコン膜を埋

込んで前記半導体素子間を電気的に分離する技術に適用してもよい。

〔発明の効果〕

本願によって開示された発明のうち、代表的なものによって得られる効果を簡単に説明すれば、下記のとおりである。

すなわち、半導体基板に形成する溝を順テーパー状に形成することができるので、溝内を導電膜あるいは絶縁膜等によって良好に埋込むことができる。

また、前記溝のテーパー角をエッチング工程中に制御することができる。

4. 図面の簡単な説明

第1図はRIE装置の概略図。

第2図乃至第11図は、DRAMの製造工程におけるメモリセルの断面図。

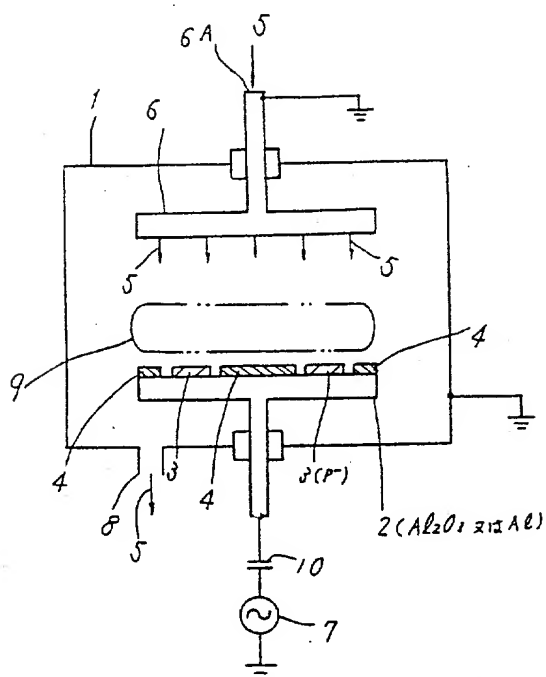
第12図はRIEによる半導体基板のエッチング特性を示した溝の断面図。

第13図はRIEによる半導体基板のエッチング特性を示したグラフである。

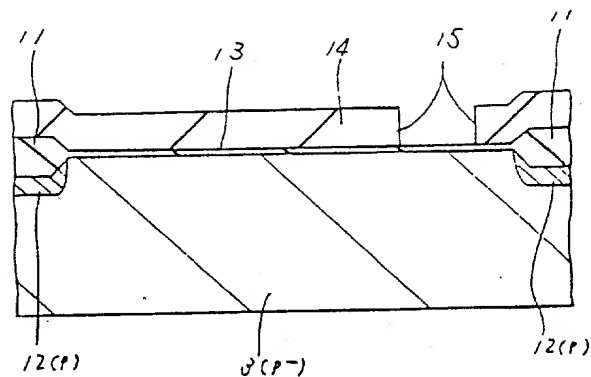
1…反応容器、2…カソード電極、3…半導体基板(ウエハ)、4…電極被覆材料(アルミニウム又はアルミナ)、5…エッチングガス、6…上部電極、6A…吸気口、7…高周波電源、8…排気口、9…イオンシース、10…コンデンサ、11…フィールド絶縁膜、12…チャネルストップ、13…下地膜(SiO₂)、14…エッチングマスク(SiO₂)、15…開口、16…溝、17…壁面堆積膜(アルミニウム又はアルミニウムと炭素)、17A…壁面堆積膜のテーパー部分、18…イオン、19…誘電体膜、20…導電プレート、21、27…絶縁膜、22…ゲート絶縁膜、23…ゲート電極、24…サイドウォールスペーサ、W…ワード線、DL…データ線、25、26…半導体領域、28…接続孔。

代理人 弁理士 小川勝男

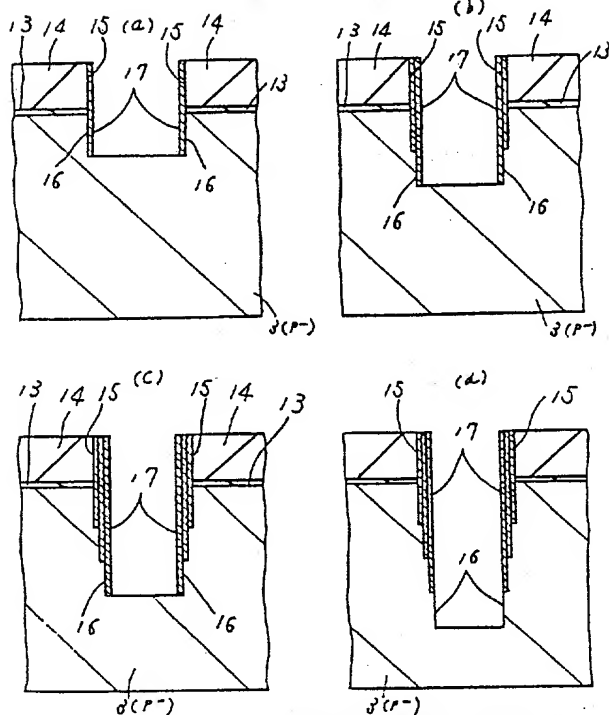
第 1 図



第 2 図

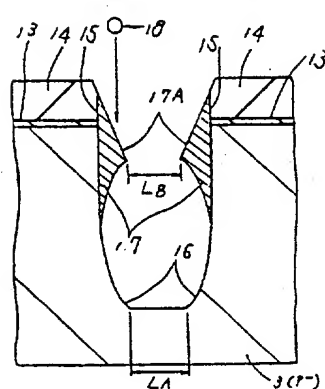


第 3 図

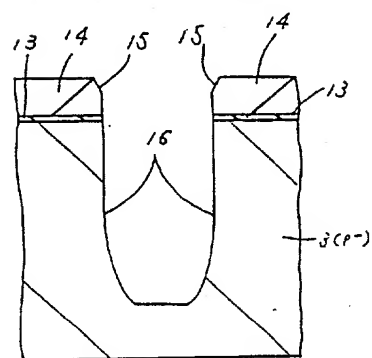


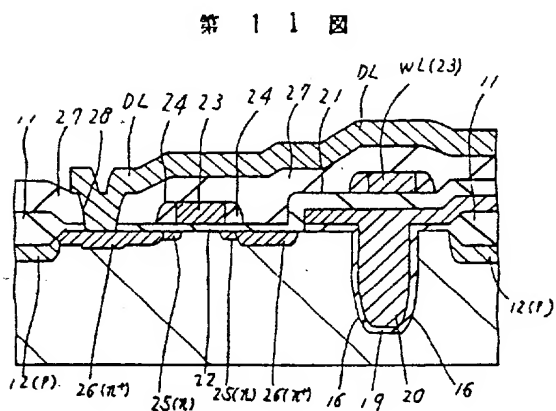
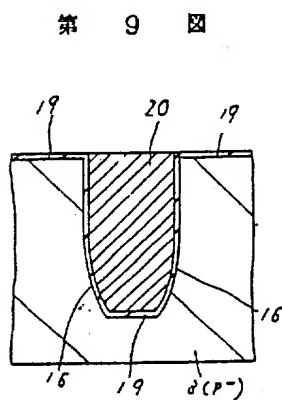
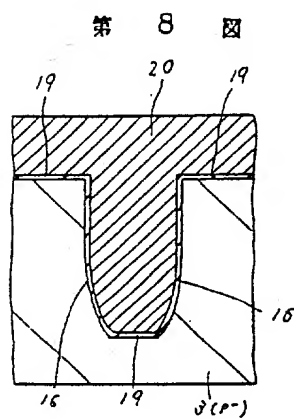
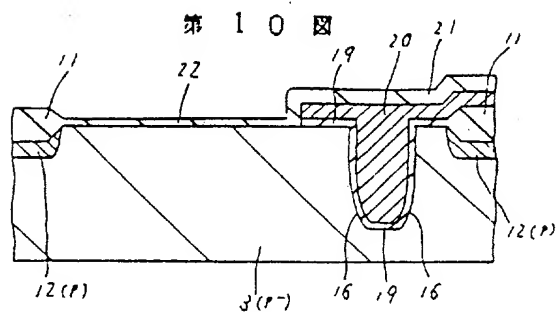
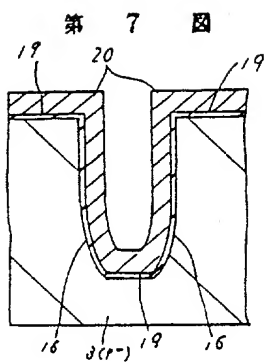
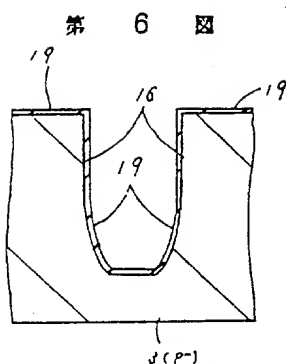
17 — 壁面堆積膜 (AL₂O₃ 或 AL)
16 — 溝 (凹部)
13 — ウエハ (P-型 Si 基板)

第 4 図

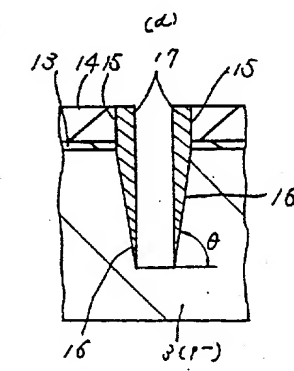
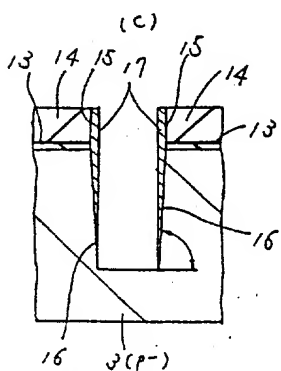
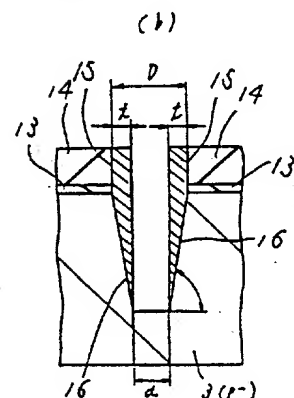
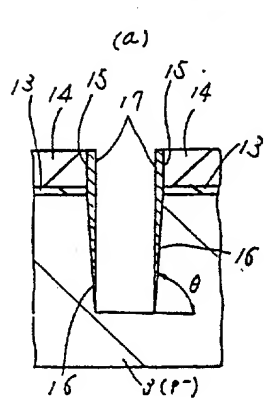


第 5 図





第 12 図



第 13 図

